

**Method for forming metal line in a semiconductor device**

Patent Number: ☐ US2002052110  
Publication date: 2002-05-02  
Inventor(s): PYO SUNG GYU (KR)  
Applicant(s): HYNIX SEMICONDUCTOR INC (US)  
Requested Patent: ☐ JP2002190524  
Application Number: US20010983668 20011025  
Priority Number(s): KR20000063161 20001026  
IPC Classification: H01L21/4763; H01L21/44  
EC Classification: H01L21/285B4H, H01L21/768B2D, H01L21/768C3, H01L21/768C4  
Equivalents: CN1351374, ☐ DE10150160, ☐ GB2371148, KR2002032709, ☐ US6551932

**Abstract**

A method for forming a metal line of a semiconductor device is disclosed, in which a Cu thin film is deposited on a diffusion barrier film after a chemical enhancer and plasma are applied thereon, thereby improving fill characteristics of a contact hole having a ultra-fine structure. The method for forming a metal line in a semiconductor device includes the steps of forming an interlevel insulating film on a semiconductor substrate having a predetermined lower structure, forming a damascene pattern in the interlevel insulating film, forming a diffusion barrier film on a whole structure having the damascene pattern, applying a chemical enhancer on the diffusion barrier film to form a chemical enhancer film on the diffusion barrier film, performing plasma treatment, forming a Cu thin film on the whole structure to fill the damascene pattern, and performing a polishing process to expose an upper surface of the interlevel insulating film so that the Cu thin film only remains within the damascene pattern

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2002-190524

(P2002-190524A)

(43) 公開日 平成14年7月5日(2002.7.5)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード <sup>*</sup> (参考)
H 0 1 L 21/768		C 2 3 C 16/18	4 K 0 3 0
C 2 3 C 16/18		H 0 1 L 21/90	A 5 F 0 3 3

審査請求 未請求 請求項の数22 O L (全 7 頁)

(21) 出願番号 特願2001-313549(P2001-313549)  
(22) 出願日 平成13年10月11日(2001. 10. 11)  
(31) 優先権主張番号 2 0 0 0 - 6 3 1 6 1  
(32) 優先日 平成12年10月26日(2000. 10. 26)  
(33) 優先権主張国 韓国 (K R)

(71) 出願人 501171995  
株式会社ハイニックスセミコンダクター  
大韓民国京畿道利川市夫鉢邑牙美里山136  
- 1  
(72) 発明者 スン・ギョ・ピョ  
大韓民国・キョンギード・イチョン・シ・  
チャンジェオン・ドン・(番地なし)・ヒ  
ュンダイ アパートメント・102-1203  
(74) 代理人 100064821  
弁理士 山川 政樹

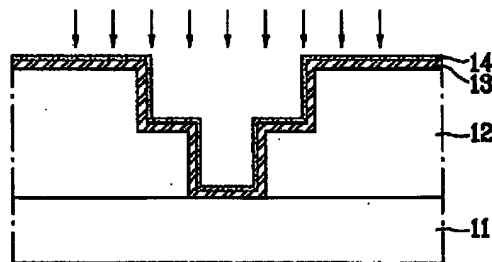
最終頁に続く

(54) 【発明の名称】 半導体素子の金属配線形成方法

(57) 【要約】 (修正有)

【課題】 化学的強化剤処理を行うCECVD方法でCuを堆積させるとき、超微細構造を均一に埋め込むことができる半導体素子の金属配線形成方法を提供する。

【解決手段】 基板11上に層間絶縁層12を形成させて、ダマシンプターンを形成させて、その表面に拡散防止膜13を形成させて、その膜にヨードなどの化学的強化剤処理14を行った後、プラズマ処理を実施してCu薄膜15を堆積させることにより、超微細構造を均一に埋め込ませるようにしたことを特徴とする。



## 【特許請求の範囲】

【請求項1】 所定の素子の下部構造が形成された半導体基板の上部に層間絶縁膜を形成し、その層間絶縁膜にダマシパターンを形成する段階と、  
ダマシパターンが形成された構造全体の上に拡散防止膜を形成する段階と、  
拡散防止膜に化学的強化剤処理を行って拡散防止膜の上に化学的強化剤層を形成する段階と、  
化学的強化剤層を形成した後、プラズマ処理を行う段階と、  
ダマシパターンが埋め込まれるようにプラズマ処理を行った構造全体の上にCu薄膜を形成する段階と、  
層間絶縁膜の表面が露出されるように研磨工程を行って、ダマシパターン内にのみCu薄膜が残留するようにする段階とを備えることを特徴とする半導体素子の金属配線形成方法。

【請求項2】 ダマシパターンを形成した後、洗浄工程を行う段階を更に備えることを特徴とする請求項1記載の半導体素子の金属配線形成方法。

【請求項3】 洗浄工程は下層がタングステン、アルミニウムなどからなる金属層である場合にはRFプラズマを用いて行い、下層がCuからなる金属層である場合には反応性洗浄方法を適用して行うことを特徴とする請求項2記載の半導体素子の金属配線形成方法。

【請求項4】 拡散防止膜はTiN膜をイオン化PVD方法、CVD法及びMOCVD法の何れか一つの方法で堆積させて形成するか、Ta膜またはTa<sub>2</sub>N膜をイオン化PVD方法またはCVD法で堆積させて形成するか、MN膜をCVD法で堆積させて形成するか、TiAlN膜、TiSiN膜及びTaSiN膜のうち何れか一つをPVD方法またはCVD法で堆積させて形成することを特徴とする請求項1記載の半導体素子の金属配線形成方法。

【請求項5】 化学的強化剤処理の前にプラズマ処理を行う段階を更に備えることを特徴とする請求項1記載の半導体素子の金属配線形成方法。

【請求項6】 化学的強化剤はヨード含有の液体化合物、Hf<sub>2</sub>SiF<sub>6</sub>・2H<sub>2</sub>O、Hf<sub>2</sub>SiF<sub>6</sub>、TMVS、純粋ヨード、ヨード含有ガス、水蒸気、F、Cl、Br、I、Atなど7族元素の液体及びガス、そして、その化合物の液体及びガス状態のうち何れか一つを用いることを特徴とする請求項1記載の半導体素子の金属配線形成方法。

【請求項7】 化学的強化剤処理は1秒～10分間行うことを特徴とする請求項1記載の半導体素子の金属配線形成方法。

【請求項8】 化学的強化剤処理は-20～300℃の温度で行うことを特徴とする請求項1記載の半導体素子の金属配線形成方法。

【請求項9】 化学的強化剤処理は100～220℃の

温度で行うことを特徴とする請求項8記載の半導体素子の金属配線形成方法。

【請求項10】 プラズマ処理は2重周波数プラズマ処理、遠隔プラズマまたはプラズマエッチング方法で行うことを特徴とする請求項1または請求項5記載の半導体素子の金属配線形成方法。

【請求項11】 2重周波数プラズマ処理は、-50～300℃の温度で0～1000Wの高周波と0～1000Wの低周波を1秒～10分間印加して行うことを特徴とする請求項10記載の半導体素子の金属配線形成方法。

【請求項12】 遠隔プラズマ処理またはプラズマエッチング方法は、水素、アルゴン、窒素、ヘリウムの単一ガスを用いるか、水素とアルゴンとの混合ガスを用いて行うことを特徴とする請求項10記載の半導体素子の金属配線形成方法。

【請求項13】 水素、窒素、アルゴン及びヘリウムの単一ガスはそれぞれ5～1000sccmの量で流入させることを特徴とする請求項12記載の半導体素子の金属配線形成方法。

【請求項14】 混合ガスは5～95%の水素と5～95%のアルゴンとの混合ガスであることを特徴とする請求項12記載の半導体素子の金属配線形成方法。

【請求項15】 遠隔プラズマ処理またはプラズマエッチング方法は1回に実施するか、1～10回の多段階で実施することを特徴とする請求項10記載の半導体素子の金属配線形成方法。

【請求項16】 1回のプラズマ処理は単一ガスまたは混合ガスを用いて実施することを特徴とする請求項15記載の半導体素子の金属配線形成方法。

【請求項17】 多段階プラズマ処理はアルゴン単一ガスまたは混合ガスを用いて処理した後、水素ガスを用いて最終処理する周期を1～10回繰り返して行うことを特徴とする請求項15記載の半導体素子の金属配線形成方法。

【請求項18】 遠隔プラズマ処理またはプラズマエッチング方法は、50～700Wの電力を印加して1秒～10分間行うことを特徴とする請求項10記載の半導体素子の金属配線形成方法。

【請求項19】 遠隔プラズマ処理またはプラズマエッチング方法は、ウェハの温度は10～350℃に維持し、ウェハとシャワーヘッドとの間隔は5～50mmとし、チャンバー内の圧力は0.3～10Torrにすることを特徴とする請求項10記載の半導体素子の金属配線形成方法。

【請求項20】 Cu薄膜は(hfac)Cu(3-Hexyne)系列、(hfac)CuMHY系列、(hfac)CuDMCOD系列、(hfac)CuVTMOS系列、(hfac)CuDMB系列、(hfac)CuTMVS系列のうち何れか一つを用いて形成するこ

とを特徴とする請求項1記載の半導体素子の金属配線形成方法。

【請求項21】 Cu薄膜は直接液体注入、制御蒸発ミクス、オリフィス、スプレー方式の気化器を用いたMOCVD法で堆積させることを特徴とする請求項1記載の半導体素子の金属配線形成方法。

【請求項22】 Cu薄膜の代わりにアルミニウム膜又はタングステン膜を形成することを特徴とする請求項1記載の半導体素子の金属配線形成方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は半導体素子の金属配線形成方法に関するもので、特に拡散障壁層上に化学的強化剤処理を行い、プラズマ処理を行った後、Cu薄膜を堆積させることによって超微細構造の埋め込み特性を向上させることのできる半導体素子の金属配線形成方法に関する。

【0002】

【従来の技術】次世代半導体素子の急激な高性能化傾向に伴うコンタクトサイズの減少や急激なアスペクト比の増加により、優れたステップカバレッジが要求され、かつコンタクトを埋め込むことが必要である。かかる次世代半導体素子の金属配線物質としてはCu薄膜が多く使用されている。Cu薄膜の形成方法を概略に説明すると次の通りである。

【0003】所定の素子構造が形成された半導体基板の上に層間絶縁膜を形成し、シングルダマシンまたはデュアルダマシン工程で層間絶縁膜をパターンニングしてダマシンパターンを形成する。ダマシンパターンが形成された層間絶縁膜の上部に拡散防止膜を形成するが、PVD法を用いてTa、Ta<sub>2</sub>N<sub>5</sub>を形成する。そして、電気メッキ法でCu薄膜を堆積させる。

【0004】前記のように電気メッキ法でCu薄膜を堆積させる場合、超微細構造のコンタクト内に堆積させることができないことから、CVD法を用いたCu薄膜の堆積方法への研究が進められている。しかし、CVD法によるCu薄膜の堆積方法もまた低い堆積方法及び高い経費のため使用上制約を受けている。そのため、ヨードなどの化学的強化剤を用いたCECVD法でCu薄膜を堆積させることによって、CVD法によるCu薄膜の堆積限界を克服できる可能性が提案されている。

【0005】しかし、CECVD法を用いたCu薄膜の堆積方法は、図1及び図2に示すように、超微細構造の埋込時、埋め込み特性が不均一になるので、その方法を更に改善する必要がある。即ち、図1は1～30秒間化学的強化剤処理を行うCECVD法でCu薄膜を堆積させた場合の例を示すもので、超微細構造における不均一な埋め込み特性を現わしている。そして、図2は30～100秒間化学的強化剤処理を行うCECVD法でCu薄膜を堆積させた場合の例を示すもので、化学的強化剤

処理時間が増加しても超微細構造の不均一な埋め込み特性は改善されないことが分かるであろう。

【0006】

【発明が解決しようとする課題】本発明の目的は化学的強化剤処理を行うCECVD法でCuを堆積させるとき、超微細構造を均一に埋め込むことができる半導体素子の金属配線形成方法を提供することである。

【0007】

【課題を解決するための手段】そのため、本発明はヨードなどの化学的強化剤処理を行った後、プラズマ処理を実施してCu薄膜を堆積させることにより、超微細構造を均一に埋め込ませるようにしたことを特徴とするものである。

【0008】より具体的には、素子の所定の下部構造が形成された半導体基板の上に層間絶縁膜を形成し、その層間絶縁膜にダマシンパターンを形成する段階と、ダマシンパターンが形成された全体構造の上に拡散防止膜を形成する段階と、拡散防止膜上に化学的強化剤処理を行った後、拡散防止膜の上に化学的強化剤層を形成する段階と、化学的強化剤層を形成した後、プラズマ処理を行う段階と、ダマシンパターンが埋め込まれるように構造全体の上にCu薄膜を形成する段階と、層間絶縁膜の上部表面が露出されるように研磨工程を行って、ダマシンパターン内にのみCu薄膜が残留するようにする段階とを備えることを特徴とする。

【0009】

【発明の実施の形態】以下、添付の図面を参照して本発明を詳細に説明する。

【0010】図3(a)～図3(e)は本発明による半導体素子の金属配線形成方法を説明するための各工程を示した素子の断面図である。図3(a)を参照すると、素子のソース/ドレインなどの所定の下部構造が形成された半導体基板11の上部に低誘電率を有する絶縁膜を用いて層間絶縁膜12を形成する。シングルダマシンまたはデュアルダマシン工程を行って、層間絶縁膜12にダマシンパターンを形成する。洗浄工程を実施した後、ダマシンパターンが形成された層間絶縁膜12の上に拡散防止膜13を形成する。洗浄工程は素子の下部構造がタングステン、アルミニウムなどで形成されている場合にはRFプラズマを用いて実施し、下部構造がCuである場合には反応性洗浄方法を適用する。また、拡散防止膜13はTiN膜、Ta膜、Ta<sub>2</sub>N<sub>5</sub>膜、WN膜、TiAlN膜、TiSiN膜及びTaSiN膜の何れか一つの膜から形成する。TiN膜はイオン化PVD方法、CVD法及びMOCVD法の何れの方法で形成し、Ta膜及びTa<sub>2</sub>N<sub>5</sub>膜はイオン化PVD方法で形成し、WN膜はCVD法で形成する。一方、TiAlN膜、TiSiN膜及びTaSiN膜はPVD方法またはCVD法で形成する。

【0011】図3(b)を参照すると、拡散防止膜13

上に触媒などの化学的強化剤処理を行って化学的強化剤層14を形成する。化学的強化剤処理工程を行う前に、シード層を形成するか、プラズマ処理を実施することができる。化学的強化剤処理はヨード含有の液体化合物、 $\text{Hhf ac } 1/2\text{H}_2\text{O}$ 、 $\text{Hhf ac}$ 、TMVS、純粋ヨードガス、ヨード含有ガス、水蒸気、周期律表上の7族元素のF、Cl、Br、I、Ar元素の液体及びガス、そして、その化合物の液体及びガスのうち何れかを用いて $-20\sim 300^\circ\text{C}$ の温度で1秒～10分間行う。このとき、ウェハとシャワーヘッドとは5～50mmの間隔を維持させる。なお、 $\text{Hhf ac}$ はhexafluoroacetateで、TMVSはtrimethylvinylsilaneである。

【0012】図3(c)を参照すると、化学的強化剤処理の後、プラズマ処理を行う。プラズマ処理は2重周波数プラズマ、遠隔プラズマまたはプラズマエッチング方法で行う。2重周波数プラズマ処理は $-50\sim 300^\circ\text{C}$ の温度を維持する状態で0～1000Wの高周波と0～1000Wの低周波数を印加して、1秒～10分間行う。一方、遠隔プラズマを使用する場合には反応性処理を用い、プラズマエッチングを使用する場合には単一または2重周波数エッチングが可能である。

【0013】遠隔プラズマまたはプラズマエッチングは水素、窒素、アルゴン及びヘリウムのうち何れか一つの単一ガスをを用いて実施するか、水素とアルゴンとの混合ガスをを用いて実施し、1回ステップで行うか1～10回の多段階で行う。そして、遠隔プラズマまたはプラズマエッチング時の供給電力は1～1000Wとし、処理時間は1秒～10分とする。また、水素、窒素、アルゴン及びヘリウムのうち何れか一つの単一ガスをを用いてプラズマ処理を行う場合、各単一ガスの流量は5～1000 sccmとし、混合ガスを使用する場合には5～95%の水素と5～95%のアルゴンをを用いて実施する。

【0014】一方、1回ステップを用いる場合には単一ガスの混合ガスの使用が可能であり、多段階処理を用いる場合には、まず、アルゴン単一ガスまたは混合ガスをを用いて処理した後、水素ガスをを用いて最終処理する周期を1～10回繰り返す。プラズマ処理時のウェハの温度は $10\sim 350^\circ\text{C}$ に維持し、チャンバー内の圧力は0.3～10 Torrとする。

【0015】図3(d)を参照すると、ダマシンプターンが埋め込まれるように構造全体の上にCu薄膜15を形成する。Cu薄膜は(hf ac: hexafluoroacetate)Cu(3-Hexyne)系列、(hf ac)CuMHY(Cu 2-methyl-hexen 3-yne)系列、(hf ac)CuDMCOD(Cu dimethylcyclooctadiene)系列、(hf ac)CuVTMOS(Cu vinyltri-methoxysilane)系列、(hf ac)CuDMB系列、(hf ac)CuTMVS(Cu trimethylvinylsilane)系列などのhf acを用いた前駆体及びその他のあらゆるCuの前駆体を用いて形成し、直接液体注入(direct liquid injection:

DLI)、制御蒸発ミキサ(control evaporation mixer: CEM)、オリフィス、スプレー方式の全ての気化器を用いたMOCVD法で堆積させる。Cu薄膜15の代わりにアルミニウム、タングステンなどを形成することができる。このとき、ウェハとシャワーヘッドとは5～50mmの間隔を維持させる。

【0016】図3(e)はCu薄膜15、化学的強化剤層14及び拡散防止膜13を研磨して、Cu配線を形成した状態の断面図である。上記工程で拡散防止膜13形成工程、化学的強化剤処理工程、プラズマ処理工程及びCu薄膜15形成工程は、in-situ又はex-situで行うことができる。

【0017】図4(a)及び図4(b)は化学的強化剤処理の後、プラズマ処理を行っていない場合(a)と行った場合(b)との超微細構造の埋め込み特性を示すものである。このとき、プラズマ処理は $100\sim 220^\circ\text{C}$ の温度で0～1000Wの高周波と0～1000Wの低周波を印加して1～100秒の間実施した場合を示す。

【0018】図5は化学的強化剤処理の後、プラズマ処理を行った場合、10:1のアスペクト比を有する0.16  $\mu\text{m}$ のコンタクト埋め込み特性を断面方向に沿って示すもので、プラズマ処理を実施することで完全な埋め込み特性を現す。かかる例は8:1のアスペクト比を有する0.1  $\mu\text{m}$ のコンタクトも完全に埋め込むことができる。

【0019】

【発明の効果】上述したように、本発明の半導体素子の金属配線形成方法によれば、化学的強化剤処理を行った後、プラズマ処理を行うことにより、超微細構造の埋め込み特性を向上させることができ、素子の信頼性を向上させることができる。

【図面の簡単な説明】

【図1】化学的強化剤処理を行った後、CECVD法でCuを堆積させた場合の断面写真。

【図2】化学的強化剤処理を行った後、CECVD法でCuを堆積させた場合の断面写真。

【図3a)～

【図3e】本発明による半導体素子の金属配線形成方法を説明するために示した素子の断面図。

【図4a】化学的強化剤処理の後プラズマ処理を行っていない場合における超微細構造の埋め込み特性を示す断面写真。

【図4b】化学的強化剤処理の後プラズマ処理を行った場合における超微細構造の埋め込み特性を示す断面写真。

【図5】化学的強化剤処理の後プラズマ処理を行った場合、10:1のアスペクト比を有する0.16  $\mu\text{m}$ のコンタクト埋め込み特性を断面方向に沿って示す写真。

【符号の説明】

11: 半導体基板

12: 層間絶縁膜  
13: 拡散防止膜

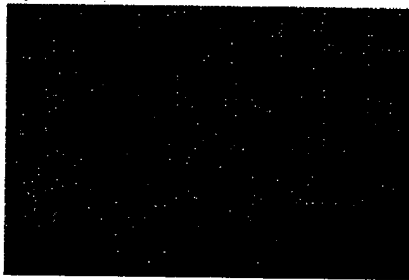
14: 化学的強化剤層  
15: Cu 薄膜

【図1】

a

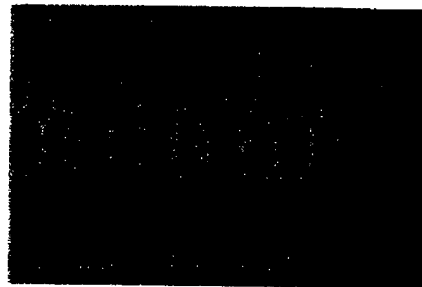


b

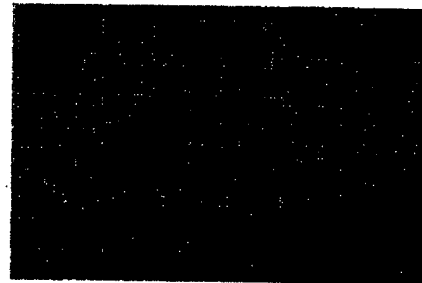


【図2】

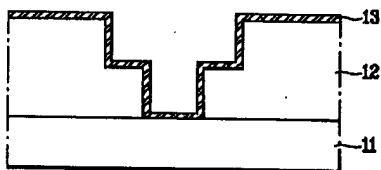
a



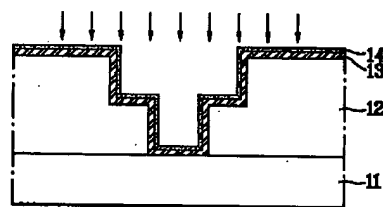
b



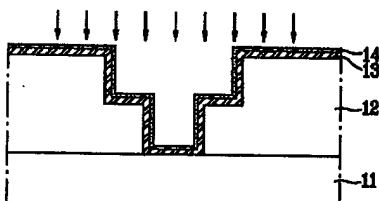
【図3 a】



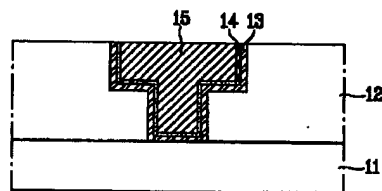
【図3 b】



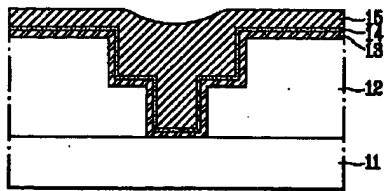
【図3 c】



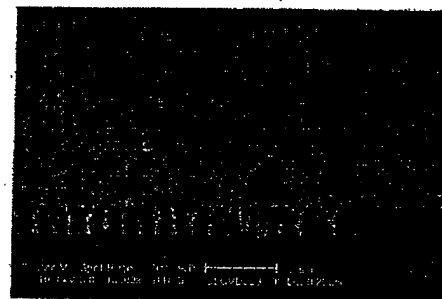
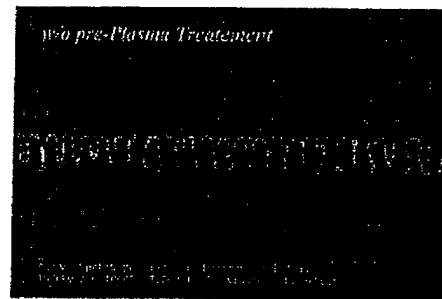
【図3 e】



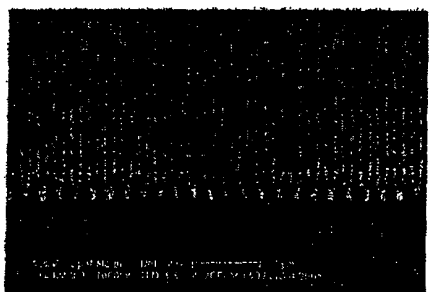
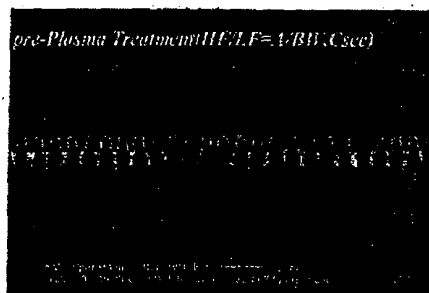
【図3d】



【図4a】



【図4b】



【図5】

a



b



フロントページの続き

Fターム(参考) 4K030 AA11 BA01 BA02 BA20 CA04  
 FA10 LA15  
 5F033 HH00 HH08 HH11 HH19 HH21  
 HH27 HH30 HH32 HH33 HH34  
 JJ00 JJ01 JJ08 JJ11 JJ19  
 JJ21 JJ27 JJ30 JJ32 JJ33  
 JJ34 KK08 KK11 KK19 MM01  
 MM02 MM12 MM13 NN06 NN07  
 PP06 PP14 QQ48 QQ59 QQ66  
 QQ92 WW00 WW01 WW03 WW04  
 WW05